

Dc Power supply

Patent Number: ☐ [US2002030472](#)
Publication date: 2002-03-14
Inventor(s): BAN HIROYUKI (JP); MIKI TAKESHI (JP); NAGATA JUNICHI (JP)
Applicant(s):
Requested Patent: ☐ [JP2002014733](#)
Application Number: US20010892534 20010628
Priority Number(s): JP20000198760 20000630
IPC Classification: G05F1/40
EC Classification: [G05F1/575](#)
Equivalents: ☐ [US6531855](#)

Abstract

A series circuit including a capacitor and a resistor for detecting variation of the output voltage of dc power supply is further provided. During startup, a charge current corresponding to the rising rate of the output voltage flows through the series circuit. This reduces the base current of the power transistor to suppress the rising rate to suppress overshoot and undershoot. A clamp circuit is provided to the differential amplifier for detecting the error voltage. This prevents the saturation in the differential amplifier or limit the voltage variation amplitude to accelerate the operation of the operational amplifier and suppress undershoot. A delay circuit for disabling to driving circuit for the power transistor for the initial interval may be further provided to suppress the initial rapid rise of the output voltage

Data supplied from the esp@cenet database - I2

Noted - Done.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14733

(P2002-14733A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.⁷

G 0 5 F 1/56

識別記号

3 1 0

F I

G 0 5 F 1/56

テームト* (参考)

3 1 0 B 5 H 4 3 0

3 1 0 N

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2000-198760 (P2000-198760)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 三木 猛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 永田 淳一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

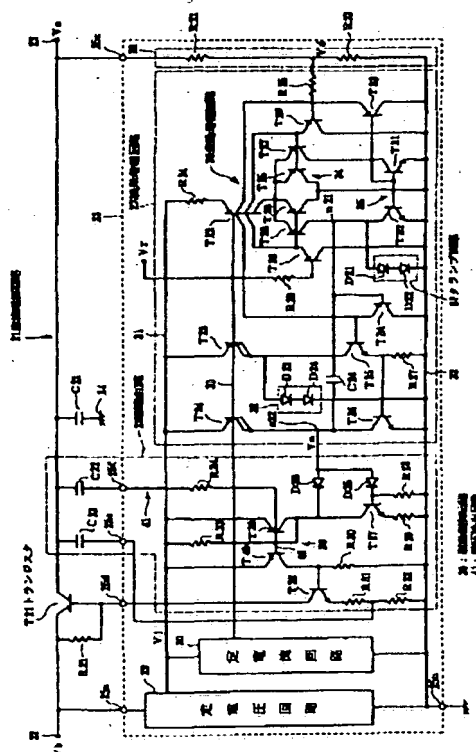
最終頁に続く

(54) 【発明の名称】 直流電源回路

(57) 【要約】

【課題】 出力平滑用のコンデンサの容量を増大することなく、電源立ち上げ時におけるオーバーシュートおよびアンダーシュートを抑制する。

【解決手段】 駆動回路28において、カレントミラー回路39の共通ベース線40と出力端子23との間に、コンデンサC22と抵抗R34との直列回路41を接続する。電源立ち上げ時に、出力電圧V_oの上昇率に応じた電流が直列回路41に流れてトランジスタT21のベース電流が減少するので、その上昇率は制限され、オーバーシュートやアンダーシュートの発生が抑えられる。また、オペアンプ27において、差動増幅回路36の出力ノードn21にクランプ回路37を接続したので、トランジスタT28の飽和を防ぐとともに出力ノードn21の電圧変化幅を制限でき、オペアンプ27の動作が速まってアンダーシュートが低減する。



【特許請求の範囲】

【請求項1】 駆動状態に応じて入力電圧を出力電圧に変換するトランジスタと、

基準電圧と前記出力電圧との差電圧に基づいて誤差信号を出力する誤差増幅回路と、

前記誤差信号に基づいて前記トランジスタを駆動する駆動回路とを備えたシリーズレギュレータ方式の直流電源回路において、

前記駆動回路は、少なくとも電源立ち上げ時において、前記出力電圧を直接的に検出するとともにその検出電圧の変化に応じて前記トランジスタの駆動状態を制御することにより、前記出力電圧の立ち上がりの傾きを制御するように構成されていることを特徴とする直流電源回路。

【請求項2】 前記駆動回路は、前記誤差信号が整定するまでの期間、前記出力電圧の立ち上がりの傾きを制限するように構成されていることを特徴とする請求項1記載の直流電源回路。

【請求項3】 前記駆動回路は、前記誤差信号が前記出力電圧に追従可能となるように、前記出力電圧の立ち上がりの傾きを制限することを特徴とする請求項1または2記載の直流電源回路。

【請求項4】 前記駆動回路は、前記出力電圧の変化分を検出する電圧検出回路と、その電圧検出回路により検出された前記変化分に応じて前記トランジスタの駆動状態を制御する駆動制御回路とを備えていることを特徴とする請求項1ないし3の何れかに記載の直流電源回路。

【請求項5】 前記駆動制御回路は、前記誤差信号に応じた電流を入力とし、前記トランジスタの駆動状態を決定する電流を出力とするカレントミラー回路であり、前記電圧検出回路は、前記トランジスタの出力端側と前記カレントミラー回路の共通制御線との間に接続されたコンデンサと抵抗との直列回路であることを特徴とする請求項4記載の直流電源回路。

【請求項6】 前記入力電圧が印加された後所定の遅延時間が経過するまでの間、前記トランジスタをオフ状態に保持する遅延回路を備えたことを特徴とする請求項5記載の直流電源回路。

【請求項7】 前記駆動回路は、前記カレントミラー回路の出力電流を遮断するためのスイッチ回路を備え、前記遅延回路は、前記入力電圧が印加されたことを検出する入力電圧検出回路と、この入力電圧検出回路により検出された前記入力電圧の印加時点から前記遅延時間が経過するまでの期間、前記スイッチ回路を遮断状態に制御する遅延制御回路とから構成されていることを特徴とする請求項6記載の直流電源回路。

【請求項8】 前記誤差増幅回路は、前記出力電圧の変

化に対する前記誤差信号の応答を速めるためのクランプ回路を備えていることを特徴とする請求項1ないし7の何れかに記載の直流電源回路。

【請求項9】 前記誤差増幅回路は、差動増幅回路を備えたオペアンプであって、

前記クランプ回路は、ダイオードから構成され、前記差動増幅回路の出力端に接続されていることを特徴とする請求項8記載の直流電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリーズレギュレータ方式の直流電源回路に関する。

【0002】

【従来の技術】図6に、直列型シリーズレギュレータ方式を採用した直流電源回路の従来構成を示す。この図6において、直流電源回路1の入力端子2と出力端子3との間にはPNP型のトランジスタT1のエミッタ・コレクタ間が接続され、出力端子3とグランド端子4との間には出力平滑用のコンデンサC1が接続されている。トランジスタT1は、電源制御IC5により制御されるようになっている。例えば自動車に搭載された直流電源回路1にあっては、入力端子2に対し、バッテリーからイグニッションスイッチ（何れも図示せず）を介して入力電圧Vbが与えられるようになっている。

【0003】電源制御IC5は、分圧回路6、オペアンプ7、駆動回路8、定電圧回路9および定電流回路10から構成されている。分圧回路6は、出力電圧Voを分圧して検出するようになっており、その検出出力電圧Vdおよび基準電圧Vrは、それぞれオペアンプ7の差動対11を構成するトランジスタT2およびT3の各ベースに入力されるようになっている。

【0004】駆動回路8は、ダーリントン接続されたトランジスタT4、T5を備えており、それらのコレクタが前記トランジスタT1のベースに接続されている。トランジスタT4、T5は、オペアンプ7の出力ノードn1から出力される誤差増幅電圧Veを入力として動作する。なお、出力端子3とトランジスタT5のエミッタ側との間に接続されたコンデンサC2は、位相補償用のコンデンサである。

【0005】さて、前記イグニッションスイッチがオンとなって直流電源回路1の入力電圧Vb（例えば14V）がステップ的に立ち上がると、定電圧回路9および定電流回路10は直ちに動作を開始し、それぞれ所定の定電圧および定電流を出力するようになる。これに伴って、オペアンプ7および駆動回路8もそれぞれ動作を開始する。

【0006】図7(a)、(b)、(c)は、この電源立ち上げ時における入力電圧Vbおよび出力電圧Voの波形について、コンデンサC1の容量を3段階に変化させた状態で測定した結果を示したものである。各波形に

おけるコンデンサC1の容量は、 $6.8\mu\text{F}$ 、 $33\mu\text{F}$ 、 $220\mu\text{F}$ である。なお、各図において、分圧回路6の分圧比は5:1、基準電圧 V_r は1V、出力電圧 V_o の目標値は5Vであって、出力端子3には 12Ω の抵抗負荷が接続されている。

【0007】電源の立ち上げ時すなわち入力電圧 V_b の印加開始時において、出力電圧 V_o （検出出力電圧 V_d ）は0Vとなっており、一方基準電圧 V_r は一定電圧（1V）となっている。このため、オペアンプ7の差動対11において、トランジスタT2のベース電圧がトランジスタT3のベース電圧よりも低くなり、出力ノードn1の誤差増幅電圧 V_e が上昇する。その結果、駆動回路8のトランジスタT5を介してトランジスタT1にベース電流が流れ、トランジスタT1がオンして出力電圧 V_o は急激に上昇する。

【0008】

【発明が解決しようとする課題】しかし、このように出力電圧 V_o が急激に上昇すると、出力電圧 V_o の変化に対してオペアンプ7の動作が追従できず、オペアンプ7から出力される誤差増幅電圧 V_e の変化が遅れてしまう。このため、オペアンプ7は、出力電圧 V_o が目標値に達した後も、トランジスタT1を直ちにオフ（またはベース電流を制限）することができず、出力電圧 V_o にオーバーシュートが発生する。

【0009】その後、出力ノードn1の誤差増幅電圧 V_e が上昇から下降に転じ、駆動回路8のトランジスタT5がトランジスタT1のベース電流を遮断（または低減）するようになると、出力電圧 V_o が低下し始める。そして、出力電圧 V_o が目標値まで低下した後も、上述したオペアンプ7の動作遅れによってトランジスタT1を直ちにオン（またはベース電流を増加）することができず、出力電圧 V_o にアンダーシュートが発生する。

【0010】結局、出力電圧 V_o は、電源の立ち上げ時においてオーバーシュートとアンダーシュートとを繰り返しながら目標値に整定されることになる。この場合、図7(a)、(b)、(c)に示されるように、コンデンサC1の容量が小さい程オーバーシュートおよびアンダーシュートが大きくなる傾向がある。

【0011】直流電源回路1の出力端子3には種々の回路や素子が接続されるため、オーバーシュートが発生すると各回路や素子に悪影響を及ぼす虞がある。従って、従来の直流電源回路1では、電源の立ち上げ時のオーバーシュート（ひいてはアンダーシュート）を抑制するために、コンデンサC1に大容量（例えば $220\mu\text{F}$ ）のアルミ電解コンデンサを使用していた。しかし、このような大容量のアルミ電解コンデンサは、コストが高く、しかもサイズが大きくなる関係上表面実装部品（SMD）とすることができないため、直流電源回路1が全体として大型化するという問題があった。

【0012】本発明は、上記事情に鑑みてなされたもの

で、その目的は、出力平滑用のコンデンサの容量を増大することなく、電源立ち上げ時におけるオーバーシュートおよびアンダーシュートを抑制できる直流電源回路を提供することにある。

【0013】

【課題を解決するための手段】請求項1に記載した手段によれば、誤差増幅回路は基準電圧と出力電圧との差電圧に基づいて誤差信号を生成し、駆動回路はその誤差信号に基づいてトランジスタを駆動する。すなわち、出力電圧が基準電圧よりも低くなるとトランジスタの負担電圧（または負担電流）が減少し、出力電圧が基準電圧よりも高くなるとトランジスタの負担電圧（または負担電流）が増加する。これにより、出力電圧は基準電圧と等しくなるよう制御される。

【0014】電源立ち上げ時にあっては、出力電圧は低電圧（例えば0V）から基準電圧に達するまで大きく上昇する。この間の基準電圧に対する出力電圧の差（電圧偏差）は、定常時において生じる電圧偏差に比べて非常に大きい。従って、誤差増幅回路は、出力電圧が急激に上昇するような誤差信号を生成し、それを駆動回路に与える。

【0015】その一方において、駆動回路は、出力電圧を直接的に検出しその検出電圧の変化に応じてトランジスタの駆動状態を制御する。従って、特に出力電圧の変化が大きい電源立ち上げ時にあっては、トランジスタの駆動状態は、前記誤差信号のみならず駆動回路による上記制御によって定まるようになり、出力電圧の立ち上がりの傾きを制御可能となる。

【0016】これにより、電源立ち上げ時において、当該直流電源回路の動作遅れに応じて出力電圧の立ち上がりの傾きを設定できるので、前記動作遅れによる出力電圧のオーバーシュートおよびアンダーシュートの発生を防止でき、また、たとえ発生したとしても小さく抑えることができる。つまり、本手段によれば、出力平滑用のコンデンサの容量を増大させることなくオーバーシュートおよびアンダーシュートを低減できるので、当該直流電源回路の小型化、低コスト化を図ることができる。

【0017】請求項2に記載した手段によれば、誤差信号が整定するまでの期間、つまり誤差信号が当該直流電源回路の定常動作時における値に安定するまでの期間、駆動回路により出力電圧の立ち上がりの傾きが制限されるので、オーバーシュートおよびアンダーシュートの発生をほぼ完全に防止することができる。

【0018】請求項3に記載した手段によれば、駆動回路は、誤差増幅回路の誤差信号が出力電圧に追従可能となるように、出力電圧の立ち上がりの傾きを制限するので、誤差増幅回路の動作遅れによるオーバーシュートおよびアンダーシュートの発生をほぼ完全に防止することができる。

【0019】請求項4に記載した手段によれば、駆動回

路の電圧検出回路は、出力電圧の変化分を検出し、駆動制御回路は、電圧検出回路により検出された出力電圧の変化分に応じてトランジスタの駆動状態を制御する。

【0020】請求項5に記載した手段によれば、出力電圧の変化の大きさおよび変化の向きに応じて、コンデンサと抵抗との直列回路を通してカレントミラー回路の共通制御線に電流が流れる。誤差信号に応じた電流を入力とするカレントミラー回路の出力電流は、この共通制御線に流れる電流に従って増減し、それに伴ってトランジスタの駆動状態が変化する。

【0021】請求項6に記載した手段によれば、遅延回路は、入力電圧が印加された後所定の遅延時間が経過するまでの間、トランジスタをオフ状態に保持する。すなわち、入力電圧が印加された直後は出力電圧が低いので、一時的に、カレントミラー回路の共通制御線から直列回路に対してコンデンサを充電する電流が流れる。この充電電流が流れると、カレントミラー回路の出力電流が増加してトランジスタが急激にオン状態となり、出力電圧が急激に上昇してしまう。

【0022】本手段によれば、少なくとも上述した充電電流が十分に小さくなるまでの時間として設定された遅延時間の間、トランジスタがオフ状態に保持されるので、出力電圧の急激な上昇を抑制でき、オーバーシュートおよびアンダーシュートの発生をより確実に防止できる。

【0023】請求項7に記載した手段によれば、入力電圧検出回路が入力電圧の印加（立ち上がり）を検出し、遅延制御回路は、その入力電圧の印加時点から遅延時間が経過するまでの期間、スイッチ回路を制御してカレントミラー回路の出力電流を遮断するので、その期間においてトランジスタをオフ状態に保持できる。

【0024】請求項8に記載した手段によれば、誤差増幅回路は、出力電圧の変化に対する誤差信号の応答を速めるためのクランプ回路を備えているので、当該直流電源回路の動作遅れが小さくなって、オーバーシュートおよびアンダーシュートが発生しにくくなる。

【0025】請求項9に記載した手段によれば、オペアンプ（誤差増幅回路）の差動増幅回路の出力端にダイオードクランプ回路を接続したので、その出力端の電圧変化幅が制限され、特に電圧偏差が大きくなる電源立ち上げ時における差動増幅回路の動作速度が速められる。

【0026】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について図1および図2を参照しながら説明する。図1は、例えば自動車のエンジン制御ECUに用いられる直流電源回路の電氣的構成を示している。この図1において、直流電源回路21の入力端子22には、バッテリー（図示せず）の正側端子からイグニッションスイッチ（図示せず）を介してバッテリー電圧Vb（入力電圧に相当：例えば14V）が与えられるように

なっている。また、出力端子23には、負荷として前記エンジン制御ECUが接続され、所定の出力電圧Vo（例えば5V）が供給されるようになっている。

【0027】この直流電源クランプ21は、直列型のシリーズレギュレータであって、入力端子22と出力端子23との間には、PNP型のトランジスタT21のエミッタ・コレクタ間が接続されている。このトランジスタT21のベース・エミッタ間には抵抗R21が接続され、出力端子23とグランド端子24との間には電圧平滑用のコンデンサC21が接続されている。さらに、出力端子23には、出力電圧Voの変化分を検出するためのコンデンサC22および位相補償用のコンデンサC23の各一端が接続されている。

【0028】上記トランジスタT21は、電源制御IC25により制御されるようになっており、上述したトランジスタT21、抵抗R21およびコンデンサC21、C22、C23は、電源制御IC25に対して外付けされている。電源制御IC25は、分圧回路26、オペアンプ27（誤差増幅回路に相当）、駆動回路28、定電圧回路29および定電流回路30から構成されている。以下、各回路の構成について説明する。

【0029】定電圧回路29は、電源制御IC25の端子25a、25bを介して前記入力端子22、グランド端子24に接続されており、バッテリー電圧Vbを入力として一定の制御電圧V1（例えば5V）を生成するようになっている。この制御電圧V1は、制御電源線31およびグランド線32を介して他の回路に供給されている。

【0030】定電流回路30は、具体的には示さないが、その出力部に設けられたトランジスタに一定のコレクタ電流が流れるような回路構成となっている。このトランジスタのベースとオペアンプ27のトランジスタ（後述するトランジスタT22、T23、T24）のベースとは共通ベース線33により接続されている。

【0031】電源制御IC25の端子25cは、直流電源回路21の出力端子23に接続されている。分圧回路26は、この端子25cとグランド線32との間に接続された抵抗R22とR23との直列回路により構成されている。この抵抗R22とR23との共通接続点の電圧は、出力電圧Voを所定比率（例えば5:1）により分圧した検出出力電圧Vdとなっている。

【0032】オペアンプ27は次のように構成されている。すなわち、ベースが前記共通ベース線33に接続されたPNP型マルチコレクタタイプのトランジスタT22、T23、T24のうち、トランジスタT23、T24のエミッタは直接制御電源線31に接続され、トランジスタT22のエミッタは抵抗R24を介して制御電源線31に接続されている。この構成により、トランジスタT22、T23、T24の各コレクタには所定の電流が流れるようになっている。

【0033】トランジスタT22が有する各コレクタとグラント線32との間には、PNP型のトランジスタT25、T27、T29とPNP型のトランジスタT26、T28、T30とからなる差動対34、NPN型のトランジスタT31、T32からなるカレントミラー回路35、およびPNP型のトランジスタT33、T34が接続されている。ここで、差動増幅回路36は、抵抗R24、トランジスタT22、差動対34およびカレントミラー回路35から構成されている。

【0034】この差動増幅回路36において、能動負荷としてのカレントミラー回路35は、差動対34を構成するトランジスタT27、T28のコレクタとグラント線32との間に接続されている。そして、トランジスタT27のベースには、トランジスタT29および抵抗R25を介して前記検出力電圧Vdが与えられるようになっており、トランジスタT29のベースには、トランジスタT30および抵抗R26を介して基準電圧Vrが与えられるようになっている。この構成によれば、差動増幅回路36の入力電流を小さくできるので、差動増幅回路36のオフセット電圧を低減できる。

【0035】また、トランジスタT27に対してエミッタとベースが共通に接続されたトランジスタT25と、トランジスタT28に対してエミッタとベースが共通に接続されたトランジスタT26とは、ともにコレクタがグラント線32に接続されている。これにより、トランジスタT22のコレクタ電流がトランジスタT25、T26に分流するので、カレントミラー回路35に流す電流値を調整することができる。

【0036】トランジスタT28のコレクタとトランジスタT32のコレクタとの共通接続点は、差動増幅回路36の出力ノードn21であって、この出力ノードn21とグラント線32との間には、図示極性のダイオードD21とD22との直列回路からなるクランプ回路37が接続されている。

【0037】トランジスタT23のコレクタとグラント線32との間には、NPN型のトランジスタT35と抵抗R27との直列回路が接続されており、さらにこれに並列して、図示極性のダイオードD23とD24との直列回路からなるクランプ回路38が接続されている。また、トランジスタT24のコレクタとグラント線32との間には、NPN型のトランジスタT36が接続されており、そのトランジスタT36ベースは前記トランジスタT35のエミッタに接続されている。

【0038】差動増幅回路36の出力ノードn21とトランジスタT35との間には、前述のトランジスタT34が介在している。また、このトランジスタT34のベース電流が差動増幅回路36の出力ノードn21に流れ込むことにより生じるオフセット電圧を補償するため、差動増幅回路36の入力側にもトランジスタT34と同じ接続形態によりトランジスタT33が接続されてい

る。

【0039】トランジスタT36のコレクタは、オペアンプ27の出力ノードn22であって、この出力ノードn22と差動増幅回路36の出力ノードn21との間には、位相補償用のコンデンサC24が接続されている。

【0040】続いて、駆動回路28の構成について説明する。駆動回路28の入力部にはNPN型のトランジスタT37が設けられている。そのトランジスタT37のベース、エミッタは、それぞれ抵抗R28、抵抗R29を介してグラント線32に接続されている。また、トランジスタT37のベース、コレクタは、それぞれ図示極性のダイオードD25、D26を介してオペアンプ27の出力ノードn22に接続されている。

【0041】駆動回路28の出力部にはNPN型のトランジスタT38が設けられている。そのトランジスタT38のベース、エミッタは、それぞれ抵抗R30、抵抗R31とR32との直列回路を介してグラント線32に接続されている。トランジスタT38のコレクタは、電源制御IC25の端子25dを介して前記トランジスタT21のベースに接続され、抵抗R31とR32との共通接続点は、電源制御IC25の端子25eを介して前記位相補償用のコンデンサC23の他端に接続されている。

【0042】制御電源線31と、トランジスタT37およびT38の各コレクタとの間には、PNP型のトランジスタT39、T40からなるカレントミラー回路39が接続されている。また、トランジスタT39、T40の共通ベース線40は、抵抗R33を介して制御電源線31に接続されるとともに、抵抗R34と電源制御IC25の端子25fとを介して前記コンデンサC22の他端に接続されている。なお、カレントミラー回路39が本発明における駆動制御回路に相当し、微分回路としての回路構成を持つコンデンサC22と抵抗R34との直列回路41が本発明における電圧検出回路に相当する。

【0043】次に、直流電源回路21の動作について図2も参照しながら説明する。まず、イグニッションスイッチがオンとなり入力端子22にバッテリー電圧Vbが印加された定常時の動作について説明する。この場合には、直流電源回路21は、誤差増幅回路としてオペアンプ27を備えた一般的なシリースレギュレータと同様にして動作する。すなわち、オペアンプ27の差動増幅回路36には、分圧回路26により検出された検出力電圧Vdと、出力電圧Voの目標値(5V)および分圧回路26の分圧比(5:1)に基づいて設定される基準電圧Vr(1V)とが入力される。

【0044】いま、出力電圧Voが目標値よりも低下した場合について説明すると、検出力電圧Vdが基準電圧Vrよりも低下するので、差動対34においてトランジスタT27に流れる電流が増加し、トランジスタT28に流れる電流が減少する。これにより、出力ノードn

21の電圧が下がる。この出力ノードn21の電圧は、トランジスタT34を介してトランジスタT35のベース電圧およびコレクタ電圧を低下させる。その結果、トランジスタT36のベース・エミッタ間電圧が減少し、オペアンプ27の出力ノードn22の電圧（誤差増幅電圧Ve）が上昇する。

【0045】この場合、クランプ回路37を構成するダイオードD21、D22はオフ状態、クランプ回路38を構成するダイオードD23、D24はオン状態となっている。クランプ回路38により、トランジスタT23のコレクタ電圧は $2 \cdot V_F$ （ V_F ：ダイオードの順方向電圧）以下に制限され、トランジスタT23が飽和オン状態となることが防止される。

【0046】オペアンプ27の誤差増幅電圧Veが上昇すると、駆動回路28において、トランジスタT37のベース電圧（ひいてはエミッタ電圧）が上昇し、そのコレクタ電流が増加する。トランジスタT37のコレクタ電流は、カレントミラー回路39により折り返されて抵抗R30に流れるので、トランジスタT38のベース電圧が上昇し、トランジスタT38のコレクタ電流すなわちトランジスタT21のベース電流が増加する。その結果、トランジスタT21のエミッタ・コレクタ間電圧が減少して出力電圧Voが上昇するようになる。

【0047】一方、出力電圧Voが目標値よりも上昇した場合には、上述した場合に対して各部の電圧の動きが逆になり、差動増幅回路36の出力ノードn21の電圧が上昇し、オペアンプ27の誤差増幅電圧Veが下降することにより、トランジスタT21のベース電流が減少する。その結果、トランジスタT21のエミッタ・コレクタ間電圧が増加して出力電圧Voが下降するようになる。

【0048】こうした定電圧制御が行われる定常状態においては、出力電圧Voは目標値に等しくなっており、その電圧変動は極めて小さい。従って、コンデンサC22と抵抗R34との直列回路41には電流がほとんど流れず、カレントミラー回路39は、出力電圧Voの影響を受けることなくトランジスタT37のコレクタ電流をそのまま折り返して出力する本来的な動作を行う。

【0049】続いて、イグニッションスイッチがオフからオンとなり入力端子22にバッテリー電圧Vbが印加された時（電源立ち上げ時）の動作について説明する。バッテリー電圧Vbがステップ的に印加されると、定電圧回路29および定電流回路30は直ちに動作を開始し、オペアンプ27および駆動回路28が動作可能な状態となる。また、差動増幅回路36には、イグニッションスイッチの状態にかかわらず、基準電圧Vrが与えられてい

る。

【0050】バッテリー電圧Vbの印加開始時において出力電圧Voは例えば0Vまで低下しており、その後出力電圧Voが目標値に達するまでの間、検出出力電圧Vdは基準電圧Vrよりも低い状態が続く。従って、この間においては、上述したように誤差増幅電圧Veが上昇する。ただし、この電源立ち上げ時においては検出出力電圧Vdと基準電圧Vrとの差（電圧偏差）が大きいため、トランジスタT36はオフした状態となっている。

【0051】誤差増幅電圧Veが上昇すると、上述したようにトランジスタT37のコレクタ電流が増加する。このコレクタ電流は、カレントミラー回路39を介してトランジスタT38のコレクタ電流つまりトランジスタT21のベース電流となるので、トランジスタT21のエミッタ・コレクタ間電圧が減少して出力電圧Voが上昇を開始する。

【0052】この出力電圧Voが上昇している期間において、その電圧変化に応じた電流が、コンデンサC22と抵抗R34との直列回路41を介して共通ベース線40に流れ込み、トランジスタT37のコレクタ電流となる。つまり、トランジスタT37のコレクタ電流の一部が、カレントミラー回路39を構成するトランジスタT39を介さずに流れることとなり、その分だけトランジスタT39のコレクタ電流ひいてはトランジスタT40のコレクタ電流が減少する。

【0053】これに伴って、トランジスタT38のコレクタ電流つまりトランジスタT21のベース電流は、本来誤差増幅電圧Veに応じて流れるべき電流よりも小さくなり、その分だけトランジスタT21のエミッタ・コレクタ間電圧が高くなる。その結果、出力電圧Voは、誤差増幅電圧Veにかかわらずほぼ一定の上昇率（スローレート）に従って上昇するようになる。

【0054】この上昇率は、コンデンサC22の容量値と抵抗R34の抵抗値とから定まる時定数により決定される。そして、その時定数は、オペアンプ27の動作が出力電圧Voの変化に追従可能となるように設定されている。

【0055】ところで、出力電圧Voが目標値よりも上昇すると、上述したように差動増幅回路36の出力ノードn21の電圧が上昇する。出力ノードn21にクランプ回路37が接続されていない場合、電圧偏差の増大に伴ってトランジスタT28は飽和オン状態となり、出力ノードn21の電圧Vn21は次の（1）式で示される電圧値にまで上昇してしまう。

【0056】

$$V_{n21} = V_r + V_{BE}(T30) + V_{BE}(T28) - V_{CE}(T28) \quad \dots (1)$$

ここで、

$V_{BE}(T30)$ ：トランジスタT30のベース・エミッタ間電圧

$V_{BE}(T28)$ ：トランジスタT28のベース・エミッタ間電圧

$V_{CE}(T28)$ ：トランジスタT28のコレクタ・エミッタ

間飽和電圧

【0057】このような状態から出力電圧 V_o が目標値に向かって減少すると、出力ノード $n21$ の電圧は、

(1)式で示す値から0Vに近い値にまで大きく変化しなければならないため、その電圧変化の遅れに伴ってオペアンプ27の動作遅れが発生する。このため、出力電圧 V_o は目標値に達した後もさらに低下を続け、アンダーシュートが発生してしまう。

【0058】これに対し、本実施形態においては、出力ノード $n21$ にクランプ回路37が接続されているので、出力ノード $n21$ の電圧 V_{n21} は $2 \cdot V_F$ までしか上昇せず、出力ノード $n21$ の変化幅が小さくなる。このため、出力電圧 V_o の変化に対する出力ノード $n21$ の電圧変化が速まり、オペアンプ27の動作遅れが改善されてアンダーシュートが低減する。

【0059】図2(a)、(b)は、電源立ち上げ時におけるバッテリー電圧(入力電圧) V_b および出力電圧 V_o の波形について、コンデンサC21の容量を2段階に変化させた状態で測定した結果を示したものである。各波形におけるコンデンサC21の容量は、 $6.8 \mu F$ 、 $33 \mu F$ に設定されており、出力端子23にはエンジン制御ECUに替えて 12Ω の抵抗負荷が接続されている。

【0060】この図2(a)、(b)において、バッテリー電圧 V_b が印加されると、出力電圧 V_o は、目標値(5V)に至る途中レベル(4V、2.3V)まで急激に上昇し、その後上述したようにほぼ一定の傾きで目標値(5V)まで徐々に増加している。この図2(a)、(b)と、従来構成の直流電源回路1についての実測波形を示す図7(a)、(b)とを比較すると、コンデンサC21の容量が $6.8 \mu F$ の場合、オーバーシュートは1.8Vから0.22Vにまで低減し、コンデンサC21の容量が $33 \mu F$ の場合、オーバーシュートは1.3Vから0.2Vにまで低減したことが分かる。また、図2(a)、(b)において、アンダーシュートは発生していない。

【0061】なお、図2(a)、(b)において出力電圧 V_o が急激に上昇しているのは、以下の理由による。すなわち、バッテリー電圧 V_b の印加開始時には、出力電圧 V_o が制御電圧 V_1 よりも低いいため、一時的に、制御電源線31からトランジスタT39、T40のエミッタ・ベース間と抵抗R34とを介してコンデンサC22を充電するための電流が流れる。この充電電流が流れる時間は、抵抗R34とコンデンサC22との時定数によりほぼ決定される。

【0062】この充電電流は、トランジスタT39、T40のベース電流となるので、これらのコレクタ電流が増加し、トランジスタT38のコレクタ電流つまりトランジスタT21のベース電流が増大する。その結果、出力電圧 V_o の上昇率が一時的に高まる。これに対する対

策は、第2の実施形態において説明する。

【0063】以上述べたように、本実施形態の直流電源回路21は、入出力端子間にトランジスタT21が直列に接続されたシリースレギュレータであって、検出出力電圧 V_d と基準電圧 V_r との差電圧を増幅して誤差増幅電圧 V_e を出力するオペアンプ27と、この誤差増幅電圧 V_e に基づいてトランジスタT21を駆動する駆動回路28とを備えている。

【0064】そして、駆動回路28は、誤差増幅電圧 V_e を入力するトランジスタT37と、トランジスタT21にベース電流を出力するトランジスタT38との間にカレントミラー回路39を備え、その共通ベース線40が抵抗R34とコンデンサC22との直列回路41を介して出力端子23に接続されている構成に特徴を有する。

【0065】この構成によれば、出力電圧 V_o が上昇すると、その上昇率に応じた電流が直列回路41および共通ベース線40を介してトランジスタT37のコレクタに流れ、その分カレントミラー回路39に流れる電流ひいてはトランジスタT21のベース電流が減少する。

【0066】従って、電源立ち上げ時において、出力電圧 V_o は誤差増幅電圧 V_e にかかわらず比較的緩やかな上昇率(スルーレート)を有して上昇するようになり、オペアンプ27は出力電圧 V_o の変化に対して追従可能となる。このため、バッテリー電圧 V_b がステップ的に印加された場合でも、オーバーシュートやアンダーシュートの発生が抑えられて、出力端子23に接続された負荷に過大な電圧が印加されることがなくなる。

【0067】この場合、従来構成の直流電源回路1とは異なり、出力平滑用のコンデンサC21の容量を小さくしてもオーバーシュートの発生を抑えられるので、コンデンサC21の容量を小さく(例えば $6.8 \mu F$)することができ、表面実装部品(SMD)を採用可能となる。表面実装部品を採用すると、部品のコストが下がり、部品の高さおよびそれを実装するのに必要な基板面積が小さくなる。また、基板にスルーホールを設ける手間がなくなる。このため、直流電源回路21を小型化ならびに低コスト化することができる。

【0068】また、一般にMOSFETはバイポーラトランジスタに比べ高耐圧化が難しいという事情があるので、負荷がMOSFETにより構成されている回路の場合、本直流電源回路21を採用すると特に効果的である。

【0069】さらに、オペアンプ27において、差動増幅回路36の出力ノード $n21$ にクランプ回路37が接続されているので、たとえオーバーシュートが発生しても、その間差動増幅回路36の出力ノード $n21$ に接続されたトランジスタT28の飽和を防止できるとともに、出力ノード $n21$ の電圧変化幅を制限できる。これにより、出力電圧 V_o の変化に対する出力ノード $n21$

の電圧変化が速まり、アンダーシュートを低減できる。

【0070】(第2の実施形態)次に、本発明の第2の実施形態について図3ないし図5を参照しながら説明する。なお、図3において、図1と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0071】図3および図4は、ともに直流電源回路の電氣的構成を示しており、図3に示す回路と図4に示す回路とは、それぞれ(a)～(g)を付した部分同士において接続された状態となっている。これら、図3および図4において、直流電源回路42は、電源制御IC43により制御されるようになっている。この電源制御IC43は、分圧回路26、オペアンプ27、駆動回路44、定電圧回路29、定電流回路30、入力電圧検出回路45および遅延制御回路46から構成されている。ここで、入力電圧検出回路45および遅延制御回路46が、本発明でいう遅延回路に相当する。

【0072】駆動回路44において、トランジスタT40のコレクタとトランジスタT38のベースとの間には、スイッチ回路47が接続されている。このスイッチ回路47は、ダーリントン接続されたトランジスタT41とT42、トランジスタT43および抵抗R35、R36から構成されている。トランジスタT43は、遅延制御回路46の出力信号によりオンオフ駆動されるようになっており、トランジスタT43がオフの場合には、トランジスタT41、T42がオフつまりスイッチ回路47がオフ状態となり、トランジスタT43がオンの場合には、トランジスタT41、T42がオンつまりスイッチ回路47がオン状態となる。

【0073】入力電圧検出回路45は、コンパレータの構成を備えており、入力電圧(バッテリー電圧Vb)が所定の電圧以上に立ち上がった時点において、遅延制御回路46に対する出力信号(後述するトランジスタT54を制御する信号)をHレベルからLレベルに反転するようになっている。

【0074】この入力電圧検出回路45において、トランジスタT44～T48は、差動増幅回路48を構成している。バッテリー電圧Vbは、抵抗R37とR38との直列回路により分圧され、その分圧された検出電圧は、抵抗R39を介して差動増幅回路48の入力側トランジスタT45のベースに与えられている。また、差動増幅回路48の出力側トランジスタT46のベースには、抵抗R40を介して基準電圧Vrが与えられている。

【0075】トランジスタT49は、差動増幅回路48から出力を取り出すように接続されており、そのコレクタは、トランジスタT50のベースに接続されている。差動増幅回路48の後段には、このトランジスタT50を1段目とする2段構成の回路が接続されている。

【0076】トランジスタT50は、共通ベース線33に接続されたトランジスタT51により定電流駆動され

るようになっており、その後段のトランジスタT52のコレクタは、抵抗R42とR43との直列回路を介して端子43aに接続されている。さらに、オペアンプ27の出力ノードn22とグランド線32との間には、トランジスタT53が接続されており、前記トランジスタT52のコレクタは抵抗R44を介してトランジスタT53のベースに接続されている。

【0077】さて、遅延制御回路46は、入力電圧検出回路45からの出力信号を受けて、コンデンサへの充放電動作を行い、所定の遅延時間を生成するように構成されている。すなわち、充放電用のコンデンサC25の両端子間にはトランジスタT54が接続されており、前記トランジスタT52のコレクタは、抵抗R45を介して当該トランジスタT54のベースに接続されている。

【0078】また、制御電源線31とコンデンサC25との間には、抵抗R46と共通ベース線33に接続されたトランジスタT55のエミッタ・コレクタ間とが直列に接続されている。これらコンデンサC25、トランジスタT54、T55および抵抗R46により充放電回路49が構成されている。

【0079】トランジスタT56～T60は差動増幅回路50を構成しており、コンデンサC25の充電電圧は、抵抗R47を介して差動増幅回路50の入力側トランジスタT57のベースに与えられるようになっている。制御電源線31とグランド線32との間には、抵抗R48とR49との直列回路が接続され、これら抵抗R48とR49との共通接続点は、抵抗R50を介して差動増幅回路50の出力側トランジスタT58のベースに接続されている。

【0080】トランジスタT61は、差動増幅回路50から出力を取り出すように接続されており、そのコレクタは、トランジスタT62のベースに接続されている。差動増幅回路50の後段には、このトランジスタT62を1段目とする多段構成の回路が接続されている。トランジスタT62は、共通ベース線33に接続されたトランジスタT63により定電流駆動されるようになっている。

【0081】制御電源線31とグランド線32との間には、トランジスタT62の次段を構成する抵抗R52とトランジスタT64との直列回路が接続されており、そのトランジスタT64のベース・エミッタ間には抵抗R51が接続されている。さらに、その後段には、コレクタ同士およびエミッタ同士が接続されたトランジスタT65、T66が接続され、制御電源線31とそれらコレクタとの間には共通ベース線33に接続されたトランジスタT67が接続されている。トランジスタT66と前記駆動回路44のトランジスタT43とは、カレントミラー回路51を構成しており、その共通ベース線52とグランド線32との間には、抵抗R53が接続されている。

【0082】次に、上記構成を有する直流電源回路42の動作について図5も参照しながら説明する。直流電源回路42は、第1の実施形態においてバッテリー電圧印加開始時に見られた出力電圧V_oの急峻な立ち上がりを抑制するように動作する。

【0083】入力電圧検出回路45において、差動増幅回路48は、バッテリー電圧V_bの分圧電圧と基準電圧V_rとを比較する。バッテリー電圧V_bが立ち上がって分圧電圧が基準電圧V_rよりも高くなると、トランジスタT49がオフからオンに転じ、そのコレクタ電位がほぼ0Vとなる。これに伴って、トランジスタT50がオフ、トランジスタT52がオン、トランジスタT53がオフとなる。

【0084】この入力電圧検出回路45からの出力信号は、遅延制御回路46におけるトランジスタT54を制御する。すなわち、前記分圧電圧が基準電圧V_rに達するまでの間、トランジスタT54はオンしており、コンデンサC25の電荷が放電される。分圧電圧が基準電圧V_rよりも高くなると、トランジスタT54はオフとなり、制御電源線31からコンデンサC25に対して、抵抗R46、トランジスタT55を介して一定電流が流れ、コンデンサC25の両端電圧は徐々に増加する。

【0085】差動増幅回路50は、このコンデンサC25の充電電圧と制御電圧V1の抵抗R48、R49による分圧電圧とを比較する。充電電圧が制御電圧V1の分圧電圧よりも高くなると、トランジスタT61がオフからオンに転ずる。それに伴って、トランジスタT62がオフ、トランジスタT64がオン、トランジスタT65がオフとなる。

【0086】その結果、バッテリー電圧V_bが立ち上がった後、コンデンサC25への充電時間で定まる遅延時間が経過する前にあっては、カレントミラー回路51を構成するトランジスタT66、T43に電流が流れず、前記スイッチ回路47およびトランジスタT21はオフ状態を保持している。そして、遅延時間が経過すると、トランジスタT66、T43に電流が流れ、前記スイッチ回路47およびトランジスタT21がオン状態となる。

【0087】さて、第1の実施形態で説明したように、駆動回路44においては、バッテリー電圧V_bの印加開始時に、コンデンサC22への充電電流によってトランジスタT39、T40に一時的にベース電流が流れてしまう。そこで、本実施形態においては、コンデンサC22に充電電流が流れる時間に比べて、上記遅延時間が長くなるように設定する。その結果、バッテリー電圧V_bが立ち上がった後、トランジスタT39、T40に流れるベース電流が十分に低減するまでの期間、トランジスタT21をオフ状態に保つことができ、出力電圧V_oの急峻な上昇を防止することができる。

【0088】図5は、バッテリー電圧V_bの立ち上がり時

における直流電源回路42の出力電圧V_oのシミュレーション波形を示している。この図5において、時刻0.1msにおいてバッテリー電圧V_bが立ち上がり、出力電圧V_oは、時刻0.3msから比較的緩やかな上昇率（スルーレート）を有して上昇し始める。この時刻0.1msから時刻0.3msまでの0.2msが上述した遅延時間に相当し、この間トランジスタT21はオフ状態に保持されている。このため、図5に示す出力電圧V_oには、図2(a)、(b)に見られた急峻な立ち上がりが発生せず、たとえオペアンプ27のゲイン（抵抗R22およびR23で決定される）が小さい場合であっても、オーバーシュートやアンダーシュートの発生を抑えることができる。

【0089】以上述べたように、本実施形態の直流電源回路42は、駆動回路44のカレントミラー回路39の出力部分にスイッチ回路47を備えるとともに、遅延回路として入力電圧検出回路45と遅延制御回路46とを備え、バッテリー電圧の立ち上がり時点から所定の遅延時間が経過するまでの間、トランジスタT21をオフ状態に保持するようにした。従って、バッテリー電圧の立ち上がり時に、電圧検出回路として設けたコンデンサC22に一時的に電流が流れても、出力電圧V_oが急峻に立ち上がることがなくなり、基準電圧V_rの大きさにかかわらずオーバーシュートやアンダーシュートの発生を確実に防止できる。

【0090】（その他の実施形態）なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。上記した直流電源回路21、42は、直列型シリーズレギュレータの構成であるが、負荷に対してトランジスタT21を並列に接続した並列型シリーズレギュレータの構成としても良い。また、入出力間に接続したトランジスタT21は、バイポーラトランジスタであったが、これに替えてMOSFETやIGBTなどを用いても良い。さらに、電源制御IC25またはIC43において、オペアンプ27、駆動回路28、入力電圧検出回路45、遅延制御回路46をバイポーラトランジスタにより構成したが、MOSFETにより構成しても良い。

【0091】カレントミラー回路39と直列回路41は、少なくとも電源立ち上げ時において出力電圧V_oの傾きを制限するように動作すれば良い。従って、例えば定常時においては直列回路41が電氣的に切り離されるような構成としても良い。

【0092】電圧検出回路は直列回路41に限定されず、出力電圧V_oの変化分を検出できる回路であれば同様にして適用できる。また、駆動制御回路はカレントミラー回路39に限定されず、検出された出力電圧V_oの変化分に応じてトランジスタT21のベース電流を可変できる回路であれば同様にして適用できる。

【0093】第2の実施形態において、入力電圧検出回

路4-5をヒステリシス付きのコンパレータにより構成することが好ましい。また、遅延制御回路46は、コンデンサへの充放電とは異なる手段によって遅延時間を生成するようにしても良い。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す直流電源回路の電氣的構成図

【図2】電源立ち上げ時における入力電圧 V_b および出力電圧 V_o の波形を示す図

【図3】本発明の第2の実施形態を示す直流電源回路の電氣的構成図（その1）

【図4】直流電源回路の電氣的構成図（その2）

【図5】バッテリー電圧立ち上がり時における出力電圧 V_o のシミュレーション波形図

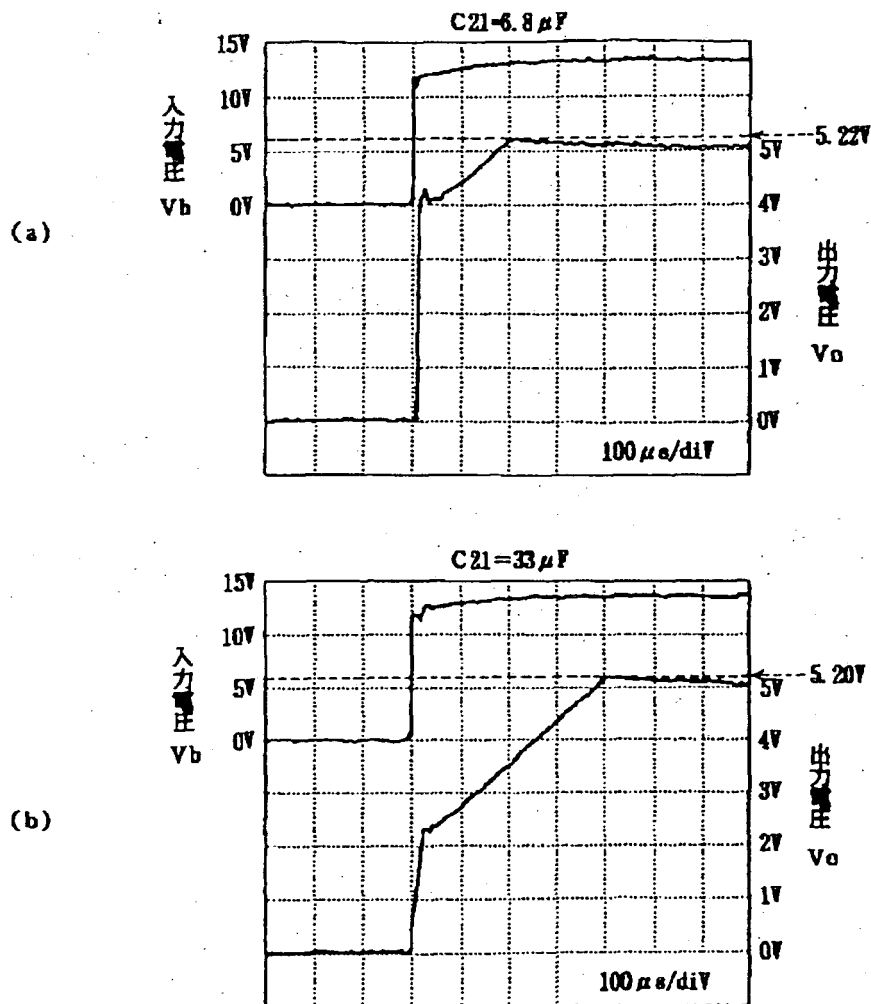
【図6】従来技術を示す図1相当図

【図7】図2相当図

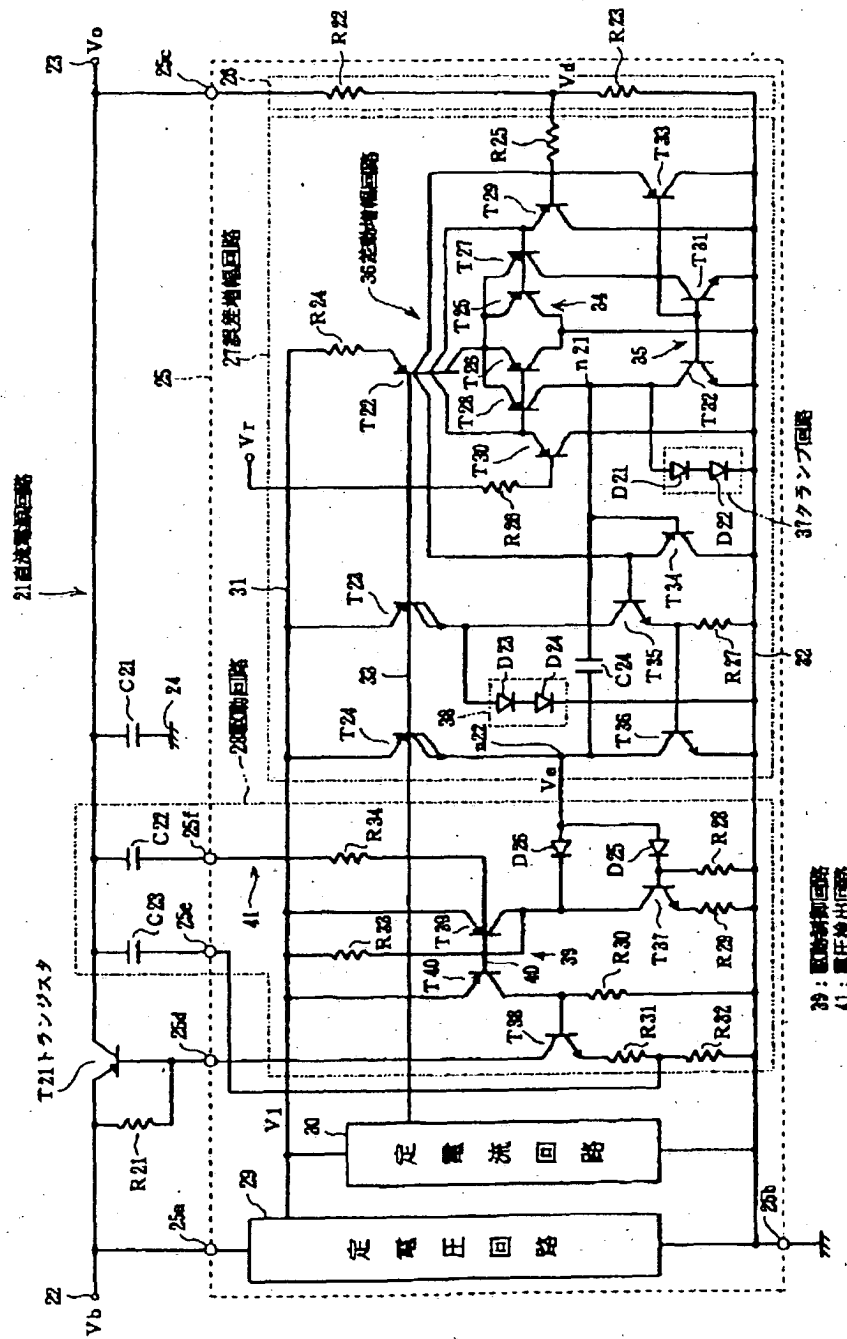
【符号の説明】

21、42は直流電源回路、27はオペアンプ（誤差増幅回路）、28、44は駆動回路、36は差動増幅回路、37はクランプ回路、39はカレントミラー回路（駆動制御回路）、41は直列回路（電圧検出回路）、45は入力電圧検出回路、46は遅延制御回路、47はスイッチ回路、T21はトランジスタである。

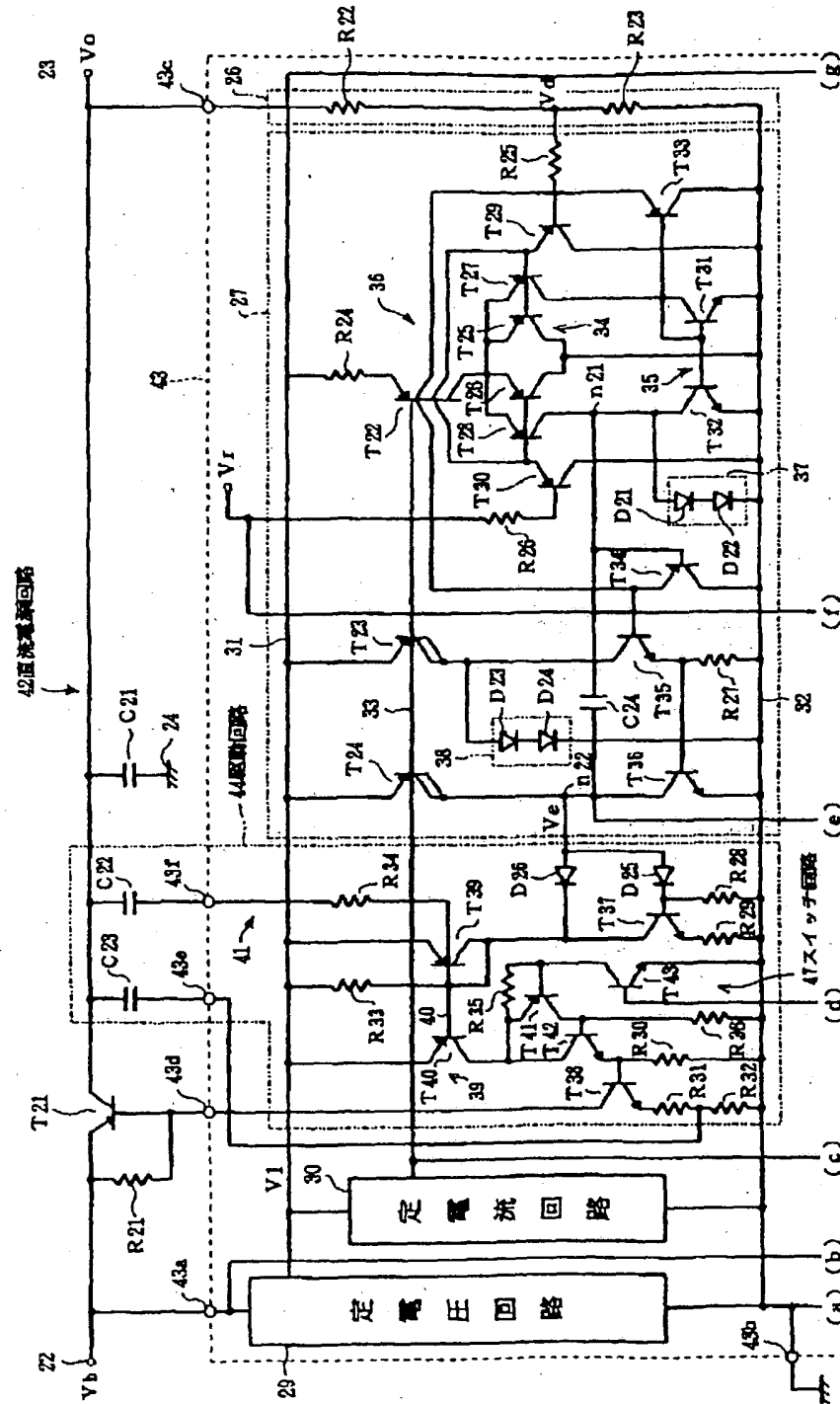
【図2】



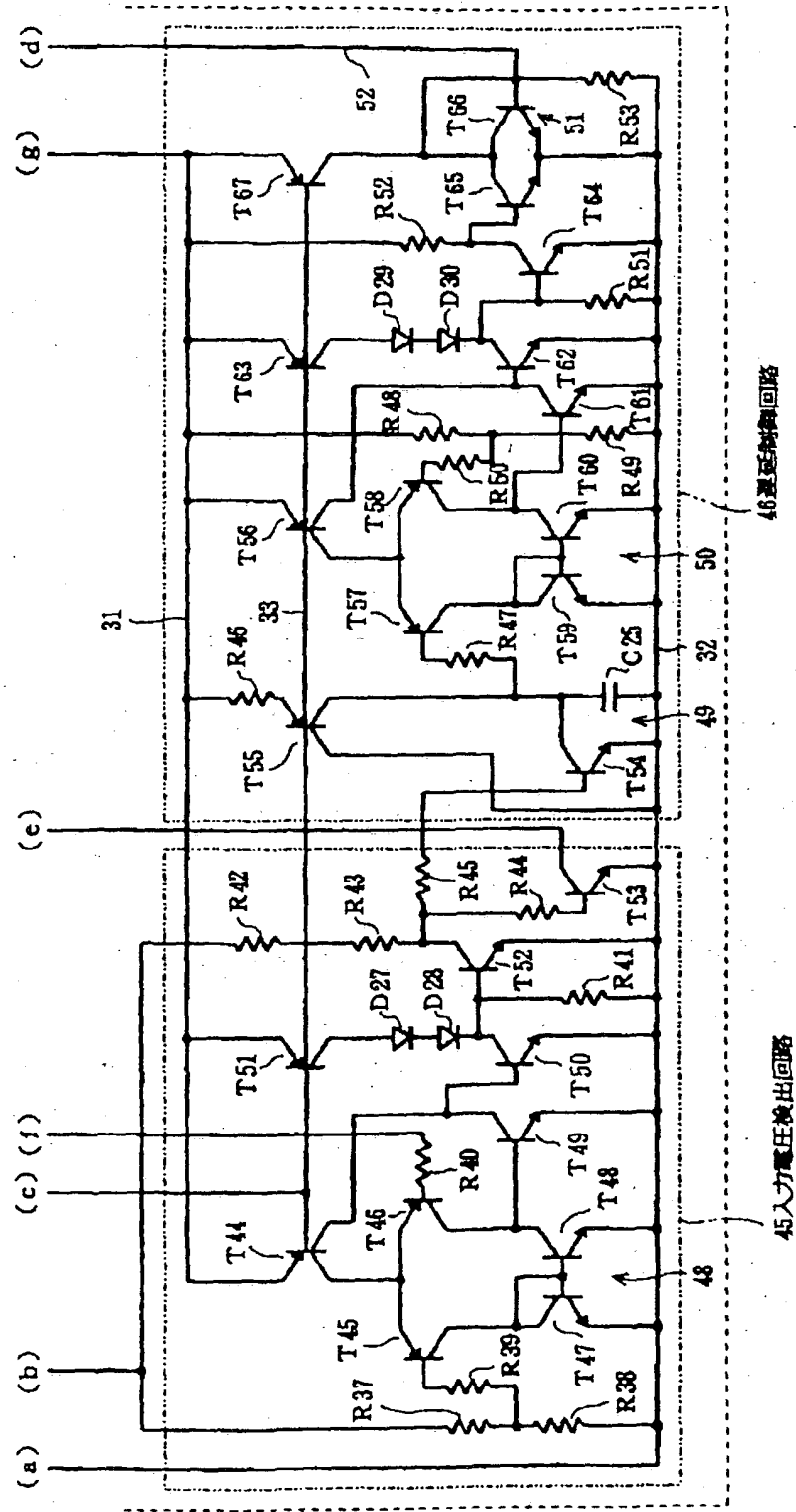
【図1】



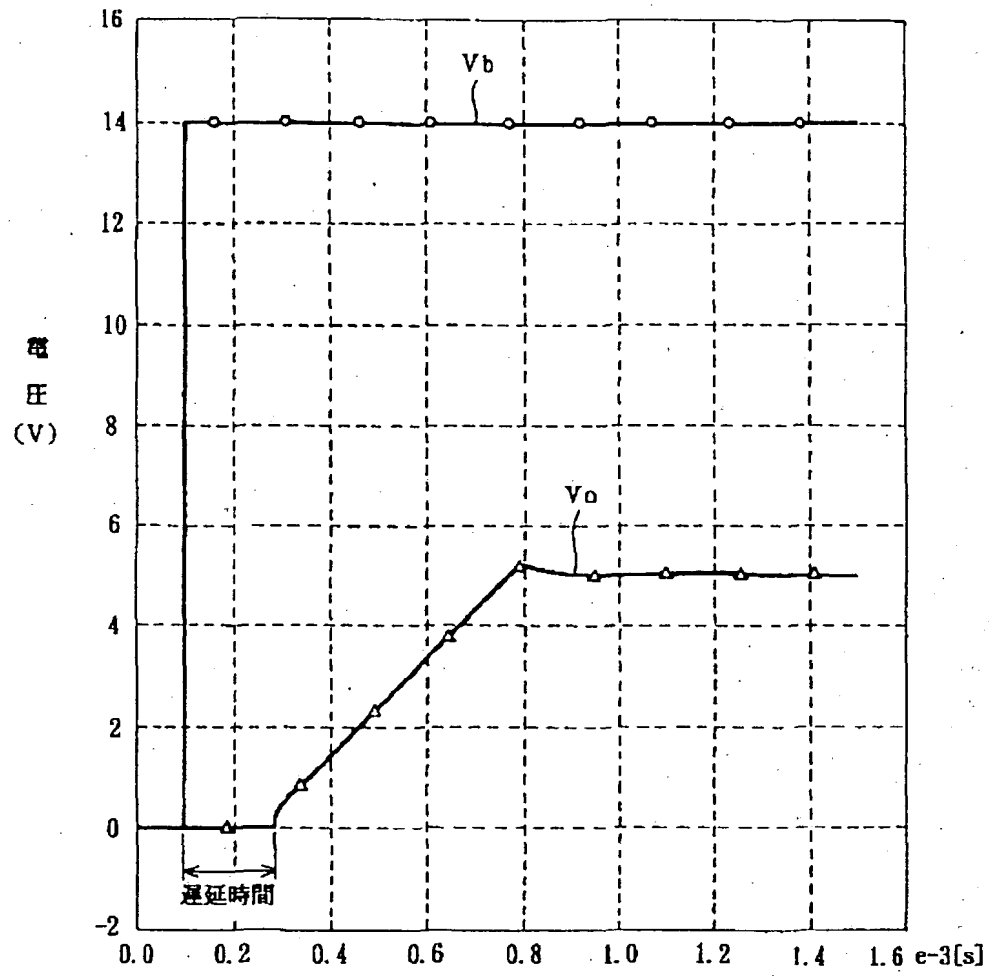
【図3】



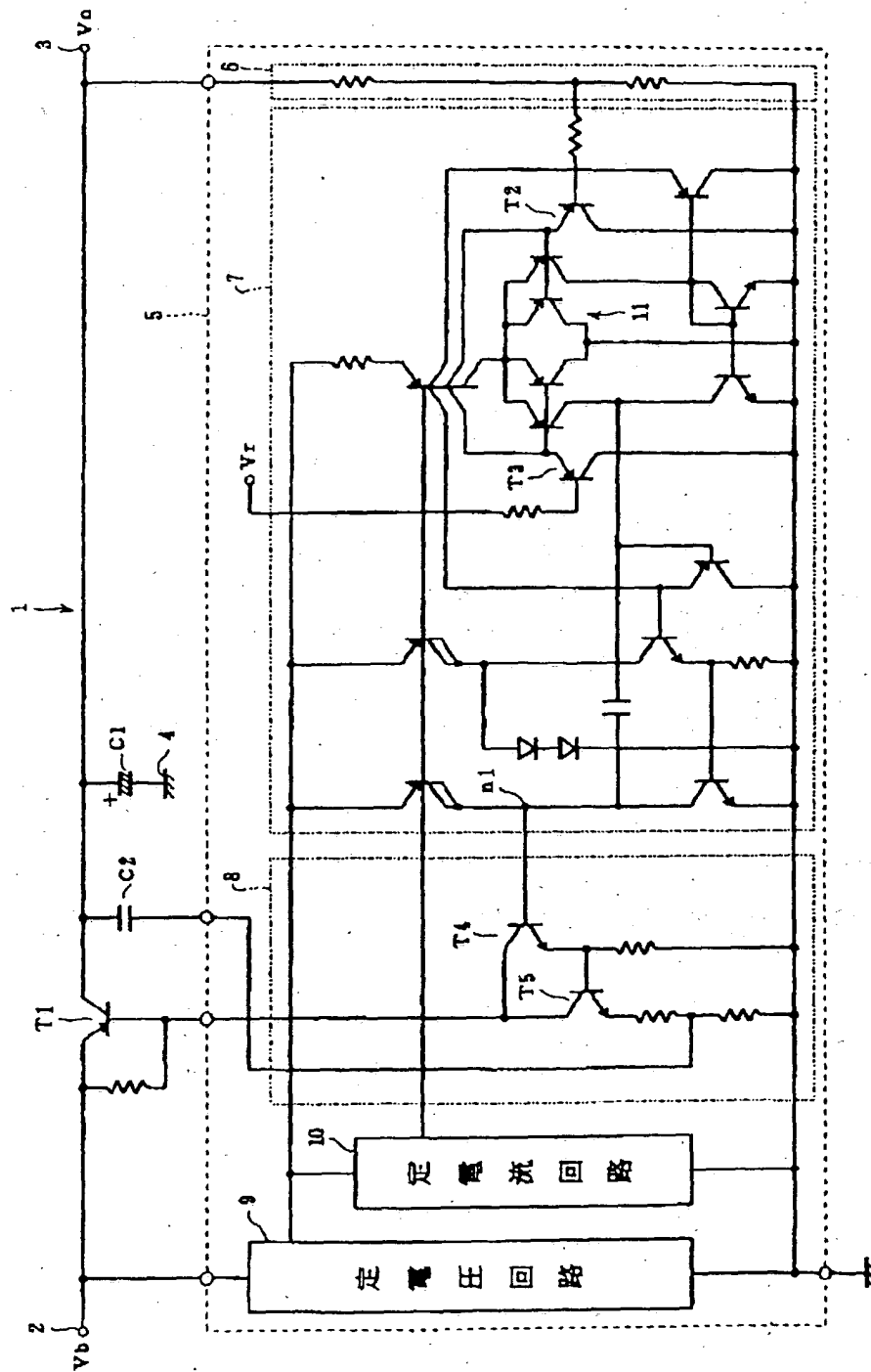
【図4】



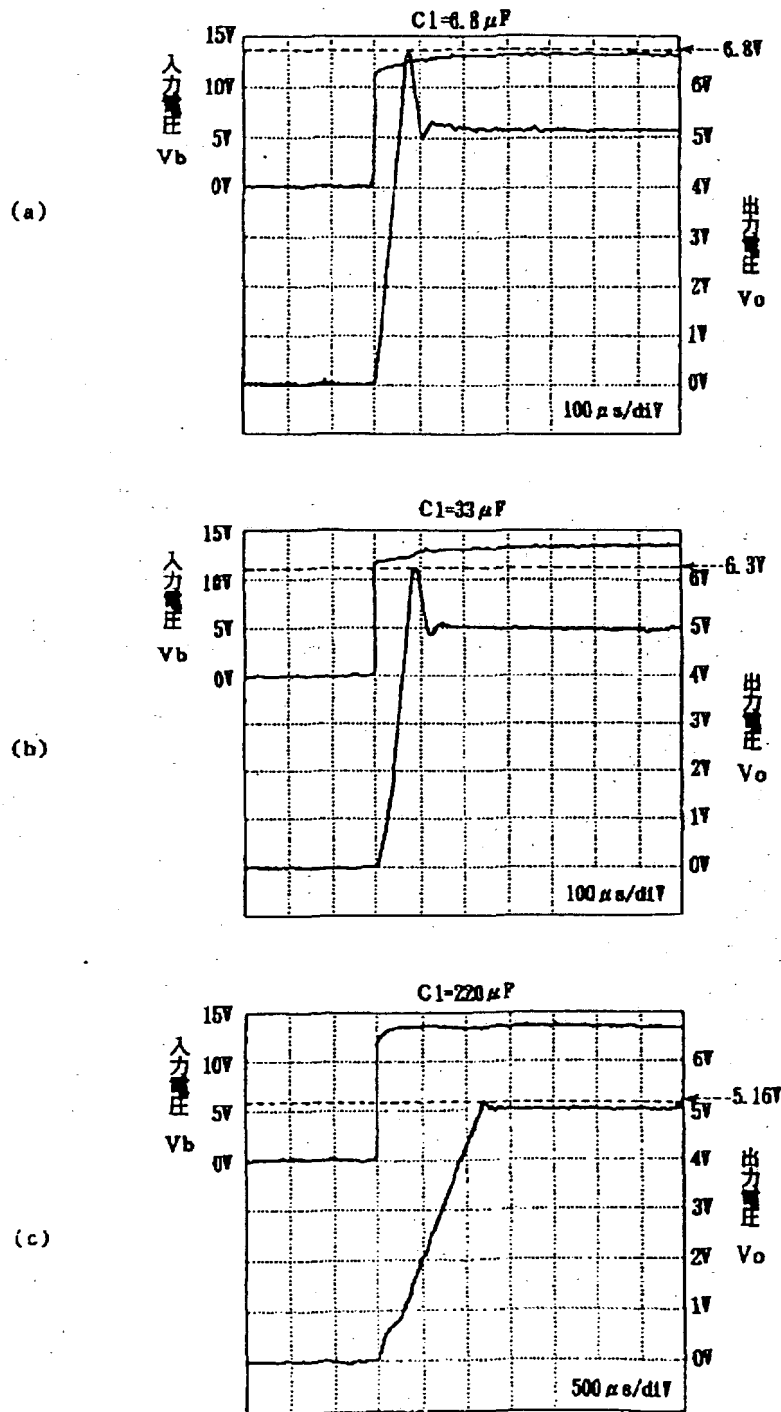
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 伴 博行
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

Fターム(参考) 5H430 BB01 BB09 BB11 BB12 CC05
EE03 FF01 FF13 HH03 KK01